

PAT-NO: JP406140250A

DOCUMENT-IDENTIFIER: JP 06140250 A

TITLE: SUBSTRATE INNER LAYER TYPE COIL

PUBN-DATE: May 20, 1994

INVENTOR-INFORMATION:

NAME

UEMURA, HIROKI

NISHINO, TOMOO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

KYOCERA CORP

N/A

APPL-NO: JP04291513

APPL-DATE: October 29, 1992

INT-CL (IPC): H01F015/00

US-CL-CURRENT: 336/200, 336/225

ABSTRACT:

PURPOSE: To substantially decrease in resistance of coil pattern without changing the thickness of a conductor by a method wherein the first and the second coil patterns between different dielectric layers are connected in parallel, and the dielectric layers are pinched by earth electrodes.

CONSTITUTION: A first earth electrode 4, consisting of a copper or copper conductor, two coil patterns 2 and 3 of the same shape, and a second earth electrode 3 are formed on a substrate main body 1 on which glass-ceramic dielectric layers 1a to 1f are laminated, At this time, the first and the

second coil patterns 2 and 3 are connected and arranged in parallel between different dielectric layers through the intermediary of a via hole conductor 6. The first and the second earth electrode layers 4 and 5 are arranged pinching the dielectric layer with which the first and the second coil patterns are pinched. As a result, a small-sized and high quality factor value substrate inner layer type coil can be obtained.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-140250

(43)公開日 平成6年(1994)5月20日

(51)Int.Cl.<sup>4</sup>

H01F 15/00

識別記号

庁内整理番号

FI

技術表示箇所

D 8123-5E

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平4-291513

(22)出願日 平成4年(1992)10月29日

(71)出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地の22

(72)発明者 植村 浩樹

鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

(72)発明者 西野 智雄

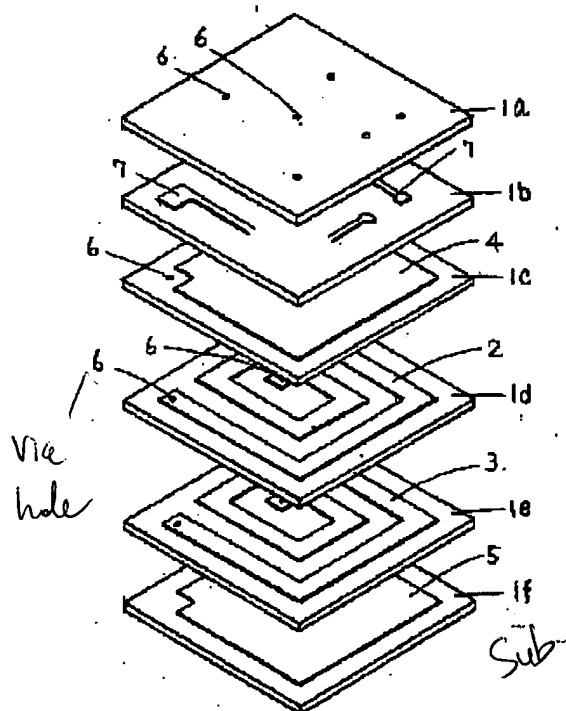
鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

(54)【発明の名称】 基板内層型コイル

(57)【要約】

【目的】小型化で、高いQ値の基板内層型コイルとなる。

【構成】 ガラス-セラミックから成る誘電層1a~1fを複数積層された基板本体1に、銀系又は銅系導体から成る第1のアース電極層4、同一形状の2つのコイルパターン2、3、第2のアース電極層5を夫々形成するとともに、異なる誘電体層間に第1及び第2のコイルパターン2、3をビアホール導体6を介して互いに並列的に接続して配置するとともに、第1及び第2のコイルパターン2、3を挟持した誘電体層をさらに挟持するように第1及び第2アース電極層4、5を配置されている。



## 【特許請求の範囲】

【請求項1】 ガラス—セラミックから成る誘電体を複数積層して形成される基板本体内に、銀系又は銅系導体から成る第1のアース電極層、同一形状の2つのコイルパターン及び第2のアース電極層を上下に埋設し、前記2つのコイルパターンを異なる誘電体層間に設けたビアホール導体を介して互いに並列的に接続するとともに、2つのコイルパターンを第1及び第2アース電極層で挟みこむようにしたことを特徴とする基板内層型コイル。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は発振回路等に利用される基板内層型のコイルに関するものである。

## 【0002】

【従来技術】 発振回路は、各種電子機器、通信機器などに用いられているが、機器の小型化に伴い、発振回路の小型化が希求されている。

【0003】 このような発振回路は、コイルを含む共振回路部を有するが、特に発振回路においては、発振の安定性や雑音特性を向上させるために、コイルのQ値が重要なファクターとなる。

【0004】 従来、発振回路の小型化及びQ値の向上を図るために、複数の誘電体層が積層されて成る積層基板の誘電体層間を利用してコイルを形成することが行われている。例えば、第1の誘電体層と第2の誘電体層との間に、約1ターン分のコイルパターンを形成し、第2の誘電体層と第3の誘電体層との間に、約1ターン分のコイルパターンを形成し、第3の誘電体層と第4の誘電体層との間に、約1ターン分のコイルパターンを形成し・・・、このように各層間に形成されたコイルパターンの終点と、隣接する層間に形成したコイルパターンの始点をビアホール導体で接続して、同様に、コイルパターンの終点と、さらに隣接する層間に形成したコイルパターンの始点を接続して、内層型コイルを形成していた。

## 【0005】

【発明が解決しようとする課題】 このような内層型コイルは、コイルを形成できる面積が大きく取れるため、コイルの特性を向上させるには有効な手段であるが、積層基板の積層が多くなり、各層間のコイルパターンどうしの接続信頼性、積層工程の煩雑化により、積層コイルにおいても限界がある。

【0006】 また、コイルパターンの導体の厚みを厚くして、導体抵抗値を小さくしQ特性を向上させる方法もあるが、積層コイルの製造方法として、誘電体グリーンシート上に、導体ペーストを用いて所定形状のコイルパターンを印刷形成するため、導体の厚みには限界があり、これに伴い、コイルパターンの抵抗が大きくなり、コイルのQ特性の向上には限界があった。

【0007】 このコイルのQ特性を大きくするために

は、特性インピーダンスを小さくするように設計すれば良いが、これは回路の小型化と相反する。

【0008】 本発明は、上述の問題点に鑑みて案出されたものであり、その目的は、導体の厚みを変えずに、実質的に、コイルパターンの抵抗をできるだけ小さくすることと同様の構造をした、小型化で、且つ高いQ値の基板内層型コイルを提供することになる。

## 【0009】

【課題を解決するための手段】 本発明は、ガラス—セラミックから成る誘電体を複数積層された基板本体に、銀系又は銅系導体から成る第1のアース電極層、同一形状の2つのコイルパターン、第2のアース電極層を夫々形成するとともに、異なる誘電体層間に第1及び第2のコイルパターンをビアホール導体を介して互いに並列的に接続して配置するとともに、第1及び第2のコイルパターンを挟持した誘電体層をさらに挟持するように第1及び第2アース電極層を配置した基板内層型コイルである。

## 【0010】

【作用】 本発明によれば、基板材料が低温で焼成可能なガラス—セラミックから成るため、内層されたコイルパターン及びアース電極層が夫々銀系または銅系導体で構成できるため、高周波特性に優れた導体材料により構成でき、高周波特性が向上する。

【0011】 また、同形状の第1及び第2のコイルパターンの始点どうし、終点どうしが互いに接続された並列接続状態であるため、実質的にコイルパターンの抵抗値を小さくすることができるため、コイルの断面積を大きくすることなしに、コイルのQ値を向上させることができる。しかも、第1及び第2のコイルパターンが同一形状であり、誘電体層を介してアース電極層に挟持されているため、第1及び第2のコイルパターンは、相互に干渉するため、並列接続しても動作的には、単一のコイルパターンと同様な特性が得られる。

## 【0012】

【実施例】 以下、本発明の基板内層型コイルを図面に基づいて詳説する。図1は本発明の基板内層型コイルの断面図であり、図2は積層基板本体の分解斜視図である。

【0013】 基板内層型コイル装置10は、複数の誘電体層を積層した積層基板本体1と、第1コイルパターン2、第1のコイルパターン2と同一形状の第2のコイルパターン3、第1のアース電極層4、第2アース電極層5及びビアホール導体6・・・から構成され、さらに必要に応じて内部配線パターン7、表面配線パターン8及び定電子部品9を備えている。

【0014】 基板本体1は、ガラス—セラミックスからなる例えば6層の誘電体層1a～1fが積層されて構成されている。

【0015】 基板本体1の内部、例えば誘電体層1cと1dとの間に約2ターンの第1のコイルパターン2が配

3

置され、誘電体層1dと1eとの間に第1のコイルパターン2と同一形状の第2のコイルパターン3が配置されている。

【0016】また、例えば誘電体層1bと1cとの間に、その層間の略全面に拡がった第1のアース電極層4が配置され、誘電体層1eと1fとの間に、その層間の略全面に拡がった第2のアース電極層5が配置されている。

【0017】また、必要に応じて、例えば誘電体層1aと1bとの間に、所定回路を構成するための内部配線パターン7が配置され、さらに基板本体1の表面（誘電体層1aの外表面側）には所定回路を構成するための表面配線パターン8が配置されている。このような表面配線パターン8上には、所定回路を構成するためのチップコンデンサ、チップ抵抗器、トランジスタ、ICチップなどの電子部品9が夫々搭載されている。

【0018】上述の基板本体1の内部に形成された第1のコイルパターン2と第2のコイルパターン3は、互いのコイルパターンの一端（始点）どうしが、またコイルパターンの他端（終点）どうしがビアホール導体6を介して接続しており、コイルパターンの始点どうしを接続したビアホール6及びコイルパターンの終点どうしを接続したビアホール6が、第1のアース電極層4に短絡することなく、内部配線パターン7や表面配線パターン8に接続されている。さらに、アース電極層4、5は互いにビアホール導体6で接続され、さらにそのビアホール6を介して、表面配線パターン8に接続され、アース電位に接続されている。

【0019】次に、本発明の基板内層型コイル装置10の製造方法を説明する。

【0020】まず、基板本体1を構成する誘電体層1a～1fを作成する。誘電体層1a～1fは、所定誘電率を有し、且つ低温で焼成可能なガラスセラミック材料からなり、例えば $\text{SiO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{B}_2\text{O}_3$ 、 $\text{ZnO}$ などのから成るガラス成分とアルミナ粉末などから成る無機物フィラーの混合した基板材料が挙げられる。その成分比率は、ガラス成分が30～80wt%、アルミナ粉末などの無機物フィラーが20～70wt%であり、ガラス成分、無機物フィラー及び有機ビヒクルなどを混練して、ドクターブレード法により、各誘電体層1a～1fとなるグリーンシートを作成する。

【0021】次に、上述のグリーンシートにビアホール導体6が形成されるように、パンチ加工によりスルーホールを形成する。

【0022】次に、誘電体層1aとなるグリーンシートに形成したスルーホールに、銀系または銅系の導体ペーストを用いて、導体ペーストを充填する。

【0023】次に、誘電体層1bとなるグリーンシートに形成したスルーホールに、銀系または銅系の導体ペーストを用いて、導体ペーストを充填するとともに、所定

4

回路を構成する内部配線パターン7を銀系または銅系の導体ペーストを用いて、印刷形成する。

【0024】次に、誘電体層1cとなるグリーンシートに形成したスルーホールに、銀系または銅系の導体ペーストを用いて、導体ペーストを充填するとともに、所定回路を構成する第1のアース電極層4を銀系又は銅系の導体ペーストを用いて、印刷形成する。この時、後述するコイルパターン2、3の両端に接続されるビアホール導体6と短絡しないように、そのビアホール導体6の周囲を除いて、アース電極層4を形成することが重要である。

【0025】次に、誘電体層1dとなるグリーンシートに形成したスルーホールに、銀系または銅系の導体ペーストを用いて、導体ペーストを充填するとともに、第1のコイルパターン2を銀系又は銅系の導体ペーストを用いて、印刷形成する。

【0026】次に、誘電体層1eとなるグリーンシートに形成したスルーホールに、銀系または銅系の導体ペーストを用いて、導体ペーストを充填するとともに、第2のコイルパターン2を銀系又は銅系の導体ペーストを用いて、印刷形成する。

【0027】次に、誘電体層1fとなるグリーンシートに形成したスルーホールに、銀系または銅系の導体ペーストを用いて、導体ペーストを充填するとともに、所定回路を構成する第2のアース電極層5を銀系又は銅系の導体ペーストを用いて、印刷形成する。この時、コイルパターン2、3の両端に接続されるビアホール導体6が誘電体層1fを介して誘電体層1fの外側に露出させる場合には、そのビアホール導体6と短絡しないように、そのビアホール導体6の周囲を除いて、アース電極層5を形成することが重要である。

【0028】このように所定ビアホール導体6、コイルパターン2、3、アース電極層4、5、及び内部配線パターン7を形成した誘電体層1a～1fを積層順序、位置合わせに考慮して積層圧着を行う。

【0029】次に、上述の積層体を、例えば酸化性雰囲気又は非酸化性雰囲気中、例えば900℃で焼成する。酸化性雰囲気中で焼成する場合には、内部の導体として、銀系導体（銀単体、銀パラジウムなどの銀合金）を使用した場合であり、非酸化性雰囲気中で焼成する場合には、銅系導体（銅単体、銅合金）を使用した場合である。

【0030】次に、焼成された基板本体1の一方主面に、銅系導体で表面配線パターン9が印刷・焼成される。また、必要に応じて、基板本体1の他方主面に、銅系導体で表面配線パターンが印刷・焼成される。この時、焼成条件としては、非酸化性雰囲気中で、780℃未満の温度で焼成する。尚、表面配線パターン9の材料として、銀系導体であれば、酸化性雰囲気中で、900℃程度で焼成する。

5

【0031】基板本体2の一方主面に形成した表面配線パターン29上には、所定回路、例えば発振回路を構成するバリキャップダイオードDV、チップコンデンサーC、抵抗R、トランジスタTrなどが搭載される。

【0032】以上のように、本発明考の特徴的な部分は、積層された基板本体1が低温（900℃以下）で焼成可能なガラスセラミックが使用されており、その内部に配置されたコイルパターン2、3及びアース電極層4、5が、銀系又は銅系導体材料で形成され、さらに、コイルパターン2、3は互いに同一形状を成し、互いに並列接続されており、実際には、2つのコイル2、3で1つのコイルとして動作可能なようにしたことである。

【0033】コイルパターン2、3及びアース電極層4、5が、銀系又は銅系導体材料であるためには、高周波特性が向上でき、従来の多層配線回路基板で使用されていた内部配線パターンの材料であるモリブデン、タングステンに比較して極めて特性が向上するコイルを構成することができる。

【0034】また、コイルパターン2、3は互いに同一形状を成し、互いに並列接続されているため、言わばコイルパターンの導体の厚みが実質的に2倍の厚みとなることになり、導体抵抗が1/2に小さくなり、断面積を大きくしなくとも、コイルのQ値を向上させることができる。

【0035】このQ値の向上について、本発明者らは2つの同一形状のコイルパターンを2枚並列接続させたコイルと、1つのコイルパターンで構成したコイルとのQ値の比較を行った結果、2つのコイルパターンを並列的に積層した方がQ値として、約20%の向上が見られたことを確認した。

【0036】さらに、本発明によれば、アース電極層4、5上にも誘電体層を配置して、コイルパターン以外

6

に所定回路を構成する内部配線パターン7を簡単に内部に作成することができるため、基板全体が極めて小型化することができる。

【0037】尚、上述の実施例では、基板本体の裏面側には、表面配線パターン9が形成されていないが、必要に応じて、表面配線パターンを形成して、所定回路を構成する電子部品を搭載しても構わない。また、積層数を低減するために、アース電極層5上の誘電体層1fを省略することもできる。この時、アース電極層5は、焼成された積層基板（誘電体層1a～1eから成る）の裏面側に銅系又は銀系導体で印刷焼成して形成しても構わない。

【0038】また、コイルパターン2、3の形状についても、約2ターン分のコイルパターン以外に種々の変更が可能である。

【0039】

【発明の効果】以上のように、本発明によれば、小型化で、高いQ値の基板内層型コイルとなる。

【図面の簡単な説明】

【図1】本発明の基板内層型コイルの断面図を示す。

【図2】本発明の基板本体の分解斜視図を示す。

【符号の説明】

10・・・基板内層型コイル装置

1・・・基板本体

1a～1f・・・誘電体層

2・・・第1のコイルパターン

3・・・第2のコイルパターン

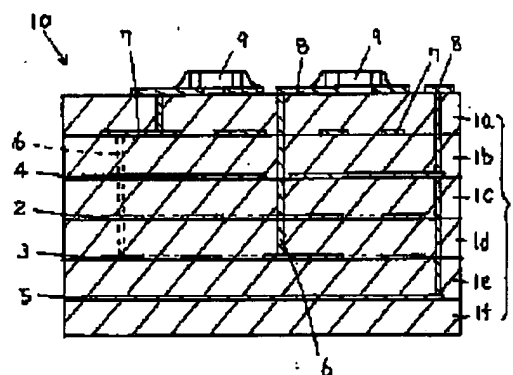
4、5・・・アース電極層

6・・・ビアホール導体

7・・・内部配線パターン

8・・・表面配線パターン

【図1】



(5)

特開平6-140250

【図2】

